

電気的特性による金属薄膜/半導体接触界面の研究

佐々木 亨*・浅野 清光

Interface Properties of Metal Thin Film/Semiconductor Contacts by Electrical Measurements

Tohru SASAKI* and Kiyomitsu ASANO

(2003年11月28日受理)

ULSI includes many microscopic metal/semiconductor contacts. The microscopic interfaces cause some problems such as a metal-semiconductor interaction at room temperature, which can spoil semiconductor devices. Even now, there is no valid model for the barrier formation at the metal/semiconductor interfaces. The basic study for the metal/semiconductor interfaces is worth recently. In order to understand the phenomena on metal/semiconductor interfaces, we have measured electrical properties of metal (Au, Pt, Cu, Al)/II-VI (ZnSe, CdTe, ZnTe, ZnO) compound semiconductor contacts and Ti, Ni/GaAs contacts formed by RF magnetron sputtering with the metal film thickness $1\mu\text{m}$. On the metal/II-VI compound semiconductor contacts, Cu/ZnSe, Al/ZnSe, Al/ZnO showed that the index of interfacial behavior S^* determines the mechanism of barrier formation. And almost of the ohmic contacts obtained from these experiments seem to be due to the alloys at interfaces formed by sputtering. On the Ti, Ni/GaAs contacts, imperfect rectified properties were observed because of the higher concentration of impurities in the GaAs substrate. And the annealing contributed to change into the ohmic or improved characteristics.

1. 緒言

近年の高度情報化社会に対しては、半導体デバイスの高性能化による貢献が非常に大きいと考えられる。半導体デバイスの高性能化は、デバイスを縮小、高集積化することによって達成されてきた。半導体デバイスが縮小を続けた結果、電極として用いられている金属/半導体接触では、接触金属薄膜の膜厚が低下し、接触界面が微細化している¹⁾。その結果、金属/半導体接触界面においては、低温界面反応によるオーム性接触の形成などが報告されており、信頼性の点で問題となっている。高集積化に伴う省電力化も重要な課題となっている¹⁾。また、界面において形成される障壁の高さは、金属の仕事関数と半導体の電子親和力の差で表されるというショットキーモデルに従わないことも多い。さらに、金属/半導体接触界面における障壁の形成について、未だ統一

的な見解はなされていない。従って、半導体デバイスの性能向上のために、金属/半導体接触界面の基礎的研究がますます重要となってきている²⁾。また、光情報処理や光通信などの分野の発達によって、現在光デバイスは重要性を増してきている。光デバイスとして高頻度に用いられている半導体材料としては、GaAsをはじめとするIII-V族化合物半導体やZnSe, ZnOなどのII-VI族化合物半導体が挙げられる。従って、GaAsやII-VI族化合物半導体について研究を行うことは、光エレクトロニクス技術のため非常に重要であると考えられる。

以上のような背景を受け、本研究ではRFマグネトロンスパッタ法によって金属/半導体接触試料を作製し、以下のような研究を行った。

- 半導体のイオン性、共有性という観点から、金属/半導体接触における障壁形成についてより深く考察を行うため、II-VI族化合物半導体の界面挙動指数 S^* が0.25から1.0の場合の金属/半導体接触試料について電気的特性による研究を行った。

* 秋田高専専攻科学生

・Ti, Ni の二つの高融点金属について電極材料としての可能性を考察するため, Ti/GaAs 接触と Ni/GaAs 接触について電気的特性による研究を行った。安定したデバイス作製のための信頼性や, 良好なオーム性接触形成の可能性についても検討するために, 試料を加熱して電気的特性を測定した。

2. 金属/半導体接触界面における現象

2.1 金属/半導体接触界面における障壁形成³⁾

金属/半導体接触における整流作用は1874年に F. Braun によって報告されている。その整流作用, つまり金属/半導体接触界面における障壁の形成については Schottky らによって最初の理解が得られた³⁾。Schottky によれば, 金属/半導体接触界面において形成される障壁の高さ ϕ_B は, 式

$$\phi_B = \phi_m - \chi, \quad (1)$$

で与えられるという。ここで, ϕ_m は接触金属の仕事関数, χ_n は半導体の電子親和力である。しかしながら, 共有結合性の強い半導体と金属の接触は, このショットキーの理論に従わないことが知られている。金属と共有結合性の強い半導体との接触の場合については Bardeen によって最初に解釈が試みられた³⁾。以下に Bardeen による理論について説明する。

2.1.1 Bardeen のモデルによる金属/共有結合性半導体接触

Schottky の理論によれば, 金属/半導体接触界面における障壁の高さは接触金属の仕事関数に依存している。しかし共有結合性の半導体では, 障壁高さが接触金属によらず一定に近い値である (図 1⁴⁾)。この問題に対する理解は Bardeen によって, 表面準位という概念を用いて以下のように説明された。

Bardeen によれば, Si や GaAs のような共有性の強い半導体には表面準位が存在し, 表面準位によって図 2(a) のようにフェルミ準位がピンングされて障壁が形成されるという。表面準位密度が高い場合に金属と半導体を接触させると, 表面準位を占める電子のみが金属側に流入することになり, ピンングによるフェルミ準位の湾曲は影響を受けない。従って, 接触後も図 2(b) のように接触金属によらず障壁が形成される。よって, 共有性の強い半導体においては障壁高さが金属仕事関数に対して依存しないことが説明できる。この表面準位の原因の一つとしては, 半導体表面に存在するダングリングボンドが

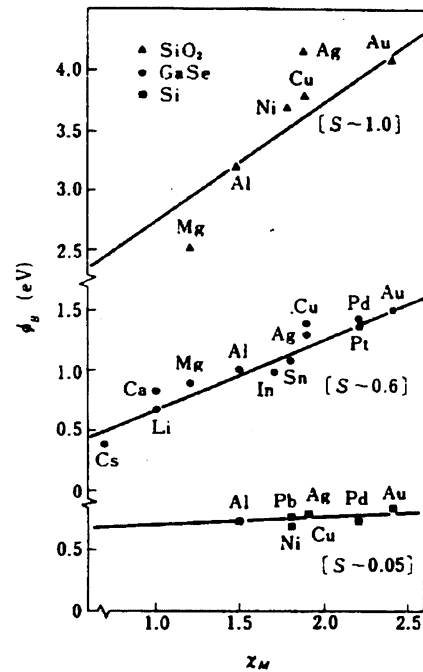


図 1 SiO₂, GaSe, Si と種々の金属との接触における障壁高さ⁴⁾

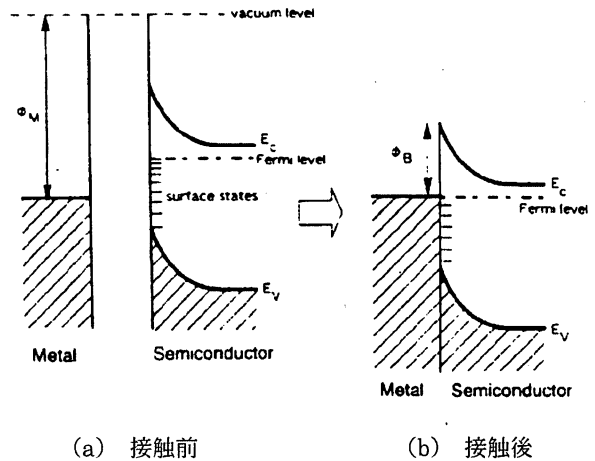


図 2 表面準位がある場合の金属/半導体接触¹⁾

考えられている。

共有結合性の半導体では, 結晶表面にダングリングボンドが存在している。ダングリングボンドとは, 結晶表面における結合の終端で結合する相手のいない結合手である。ダングリングボンドは電気的に活性であり, 電子または正孔を容易に捕獲することができる。半導体表面に局在するこのような電子状態は半導体の禁制帯中にもエネルギー準位を作る。

表面準位の概念を導入した結果, 表面準位の密度が高い場合の障壁高さは次式³⁾で表される。

$$\phi_B = E_g - \phi_0 \quad (2)$$

ここで、 ϕ_0 は表面準位である。このようにして形成される接触金属の仕事関数に依存しない障壁は Bardeen Barrier と呼ばれる。以前に行った金属と共有性の半導体の接触についての実験では、GaAs や Si については障壁高さの金属仕事関数に対する依存性は少ないという結果が得られた⁵⁾。

2.1.2 半導体の共有性・イオン性を考慮した障壁高さ

以上のように、半導体が共有性であれば、障壁高さは接触金属の仕事関数に依存せず、イオン性であれば金属の仕事関数に依存するようになる。半導体の共有性、イオン性を考慮すると、障壁高さの式は、現象論的に次式⁶⁾のように表される。

$$\phi_B = S^*(\phi_m - \chi_s) + (1 - S^*)(E_g - \phi_0) \quad (3)$$

ここで、

- ϕ_B : 障壁高さ
- S^* : 界面挙動指数
- χ_s : 半導体の電子親和力
- ϕ_0 : 表面準位
- ϕ_m : 金属の仕事関数

S^* は次のように定義される³⁾。

$$S^*(s) = d\phi_B / d\chi_m \quad (4)$$

S^* は、半導体が共有性の場合では 0 に、反対にイオン性の場合では 1 に近づく (図 3)。 S^* が 0 の状態をバーディーン極限、1 の状態をショットキー極限と呼ぶ⁷⁾。それぞれの極限、及び両者の中間の金

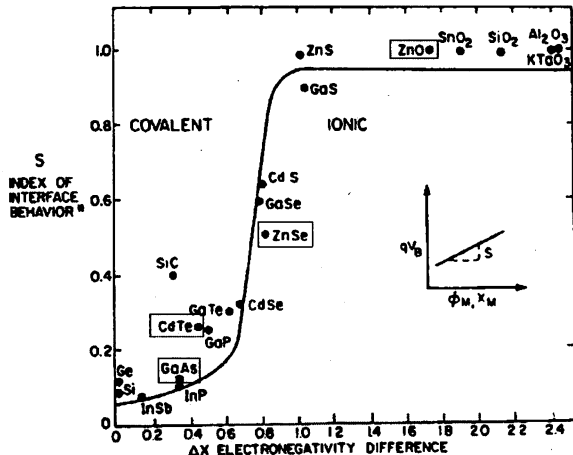


図 3 種々の半導体についての電気陰性度差に対する S^* のプロット³⁾

属/半導体接触におけるバンド図を図 4⁷⁾ に示す。

2.2 低温界面反応による合金化⁴⁾

金属/半導体接触界面においては、室温程度の低い温度でも互いの構成原子の相互移動を伴う固相間の反応が起こることが報告されている。

例えば、Pt/Si 接触は僅か 300~400°C の温度でも反応して PtSi を作るという。こうしてできたシリサイドは一般に金属的性質をもつので、良好なオーム性接触を作るために低温界面反応は有益である。しかしながら、電極である金属/半導体接触は近年の素子の超小型化、超高集積化を受けて微細化し、電極同士も接近している。そのため、図 5 のように低温界面反応によって接合部の短絡など素子機能の破壊が起こる問題も報告されている。

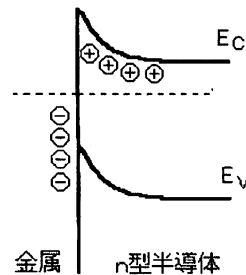
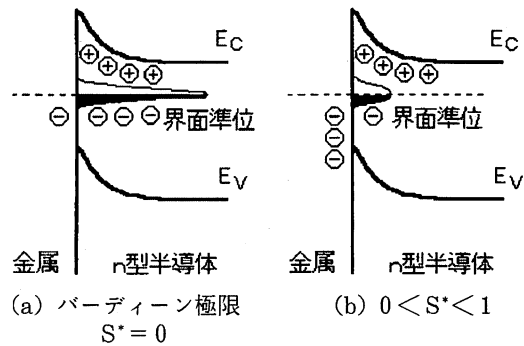


図 4 界面挙動指数 S^* を考慮した場合の金属/半導体接触界面バンド図⁷⁾

(c) ショットキー極限 $S^* = 1$

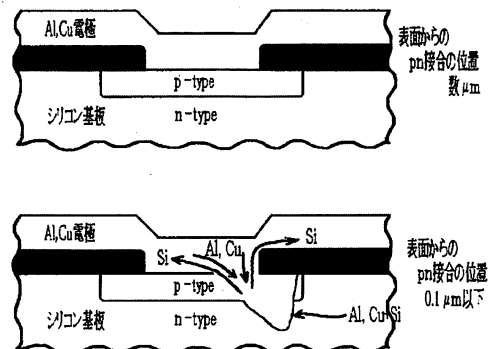


図 5 低温界面反応による p-n 接合の破壊⁴⁾

3. 実験方法

3.1 RFマグネトロンスパッタ法による試料の作製

RFマグネトロンスパッタ法により、金属薄膜を半導体上にスパッタした。II-VI族化合物半導体はZnSe, CdTe, ZnTe, ZnOの4種類を用いた。 $S^* = 1.0$ のものとして TeO_2 についてもスパッタを行った。ZnSe, CdTe, ZnTe, ZnO, TeO_2 にはAl, Cu, Au, Ptをスパッタした。それぞれの試料の大きさは、 $15 \sim 40 \text{mm}^2$ 程度であった。GaAsは2inchφのn型(100)面のウェハを用いた。GaAsには高融点金属として、TiとNiをそれぞれスパッタした。次に、RFマグネトロンスパッタ法の概略を示す(図6)。スパッタは 1×10^{-8} Torr以下の高真空まで排気した後、約 5×10^{-3} Torrの高純度アルゴン中で行った。電源には13.56MHzの高周波水晶発振式電源(最高500W)を使用して、投入パワー50Wでスパッタ時間を20分間とし、金属薄膜の膜厚が約 $1 \mu\text{m}$ の試料を作製した。

3.2 電気的特性による評価

作製した試料のI-V特性とC-V特性を測定した。電極にはIn-Ga合金を用い、Ti, Ni/GaAs接触試料については $20 \sim 30 \text{mm}^2$ 程度の大きさに分割して測定を行った。C-V特性はプレジジョンLCR(HP4285A, 75kHz~30MHz)メータを用い、入力信号の周波数が75kHz, 2MHzの場合についてそれぞれ測定した。

I-V特性より障壁高さとダイオード理想係数nを、C-V特性より障壁高さと不純物濃度をそれぞれ求め、試料の評価を行った。

3.3 試料の加熱

Ti, Ni/GaAs接触試料については試料を空气中で加熱し、加熱後のI-V特性とC-V特性を測定し

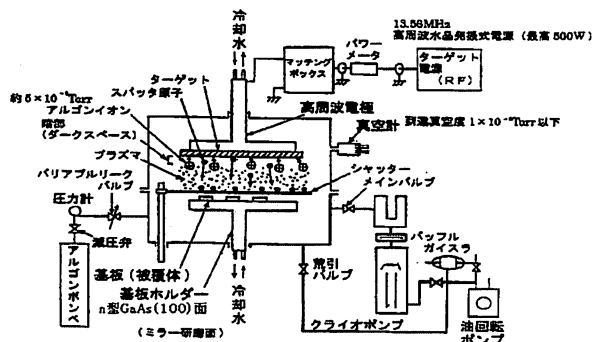


図6 RFマグネトロンスパッタ装置の概略図

た。加熱時間は、 200°C で2時間、 500°C と 700°C でそれぞれ10分間と2時間である。

4. 結果と考察

4.1 金属/II-VI族化合物半導体接触試料の結果と考察

4.1.1 金属/II-VI族化合物半導体接触試料のI-V特性

表1に、測定されたI-V特性のタイプとショットキーモデルによる予測をまとめたものを、図7に、II-VI族化合物半導体接触のI-V特性の例を示す。表1におけるI-V特性のタイプとは、タイプ1が整流性、タイプ2が整流性とオーム性の中間、タイプ3がオーム性をそれぞれ指す。

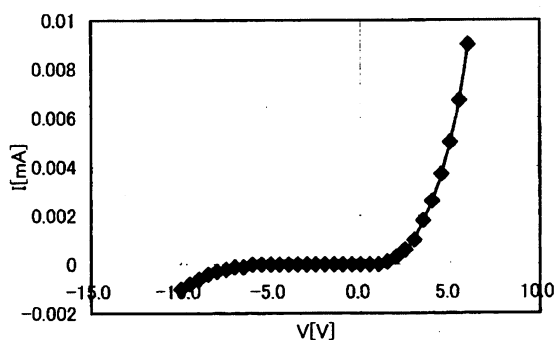
最初にAl/ZnSeとCu/ZnSeの結果について述べる。この二つの $\phi_b = \phi_m - \chi_s$ の計算結果はオーム性を示すが、実験結果はタイプ1及び2でありオーム性にはならなかった。しかし、ZnSeはイオン性と共有性の中間の半導体であり、 S^* は0.5程度であるので、(3)式によれば障壁が形成されることが考えられる。従って、Al/ZnSeとCu/ZnSeについてはフェルミ準位のピンニングが起こっている試料であると考えられる。

次に、Al/ZnOの測定結果について説明する。ZnOはイオン性が強く、 $S^* = 1.0$ の半導体である。

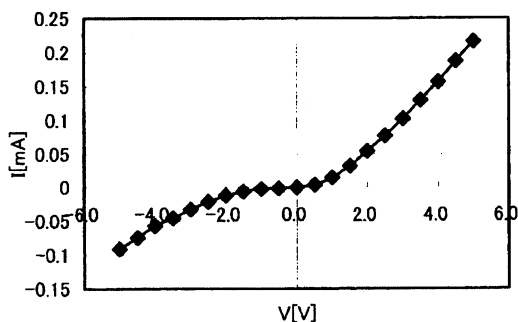
表1 金属/II-VI族化合物半導体接触のI-V特性

Sputtered metal	Semiconductor	A type of I-V property	Expected property by Schottky model ($\phi_b = \phi_m - \chi_s$)
Al	ZnSe(111), $S^* \approx 0.5$	type2	ohmic
	CdTe(110), $S^* \approx 0.25$	type2	$\phi_b = 1.83\text{eV}$
	ZnTe(110)	type2	$\phi_b = 0.85\text{eV}$
	TeO_2 , $S^* \approx 1.0$	---	---
	ZnO(1010), $S^* \approx 1.0$	type3	ohmic
Cu	ZnSe(110), $S^* \approx 0.5$	type1	ohmic
	CdTe(110), $S^* \approx 0.25$	type2	$\phi_b = 0.14\text{eV}$
	TeO_2 , $S^* \approx 1.0$	---	---
Au	ZnSe(100), $S^* \approx 0.5$	type2	$\phi_b = 0.13\text{eV}$
	CdTe(100), $S^* \approx 0.25$	type2	$\phi_b = 0.29\text{eV}$
	TeO_2 , $S^* \approx 1.0$	---	---
Pt	ZnSe(111), $S^* \approx 0.5$	type2	$\phi_b = 0.93\text{eV}$
	CdTe(110), $S^* \approx 0.25$	type3	$\phi_b = 1.09\text{eV}$
	ZnTe(100)	type2	$\phi_b = 2.15\text{eV}$
	TeO_2 , $S^* \approx 1.0$	type3	---
	ZnO(1010), $S^* \approx 1.0$	type3	$\phi_b = 1.02\text{eV}$

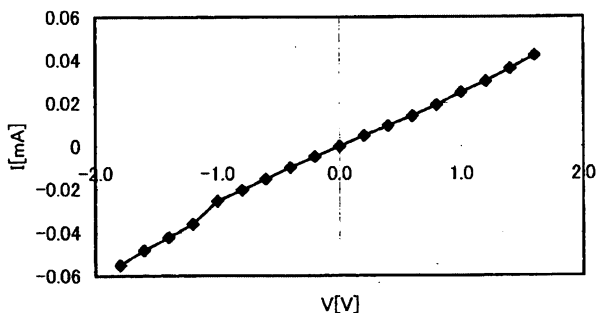
type1:Rectification.
type2:Declined rectification.
type3:Ohmic properties



(a) Cu/ZnSe



(b) Au/CdTe



(c) Pt/ZnO

図7 金属/II-VI族化合物半導体接触のI-V特性

従って、その障壁の形成は(3)式において $S^*=1.0$ とした式である(1)式で表され、接触金属の仕事関数に依存するものと予想される。Al/ZnOについての(1)式の計算結果はオーム性であり、実験結果もオーム性となっている。従って、ZnOのようなイオン性の強い $S^*=1.0$ の試料ではフェルミ準位のピンニングは起こらず、(1)式に従うことがAl/ZnOでは確認されたといえる。

その他の試料は、整流性と予測されていたが

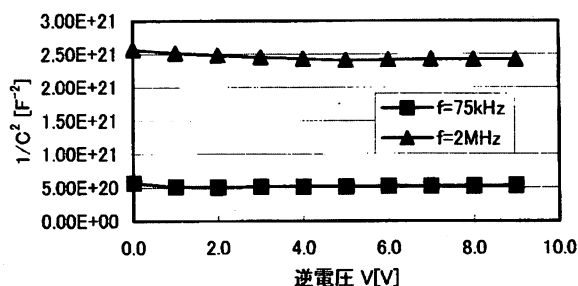


図8 Pt/ZnSe接触の $1/C^2$ の特性

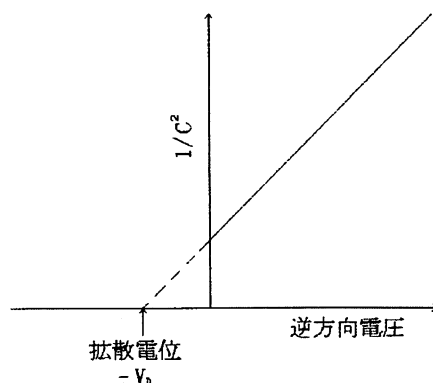


図9 金属/半導体接触界面における $1/C^2$ 特性⁹⁾

タイプ2、タイプ3となったものが多かった。整流性が劣化しオーム性に近づく、或いは完全に变化する要因としては、界面における合金化が挙げられる。今回用いたII-VI族化合物半導体試料はII族面が多かったため、スパッタ金属とII族金属とで低温界面反応が進み、合金化が起こったものと考えられる。TeO₂は抵抗が高かったのか、大きな電流の値が得られなかった。

4.1.2 金属/II-VI族化合物半導体接触試料の逆電圧- $1/C^2$ 特性

図8に、Pt/ZnSeのC-V特性より求めた逆電圧- $1/C^2$ 特性を示す。逆電圧- $1/C^2$ 特性は通常、図9⁹⁾のような特性が期待される。しかし、結果はこの図に示すような傾きの小さな直線や曲線となったものがほとんどであった。このような特性となった原因は、II族面へのスパッタによるII族金属とスパッタ金属との合金化ではないかと考えられる。

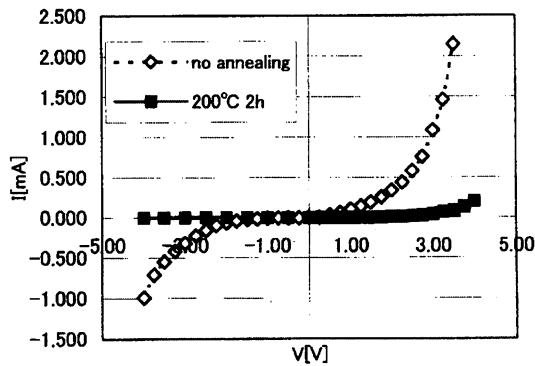
4.2 高融点金属/GaAs接触試料の結果と考察

4.2.1 Ti/GaAs接触試料のI-V特性

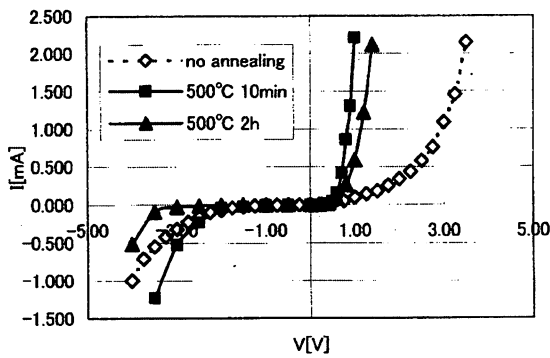
表2に、I-V特性より障壁高さ ϕ_B 及びダイオード理想係数 n を求めた結果を示す。また、図10に、測定されたTi/GaAsのI-V特性を示す。

表2 Ti/GaAs 接触のI-V特性によるn値と ϕ_B の計算結果

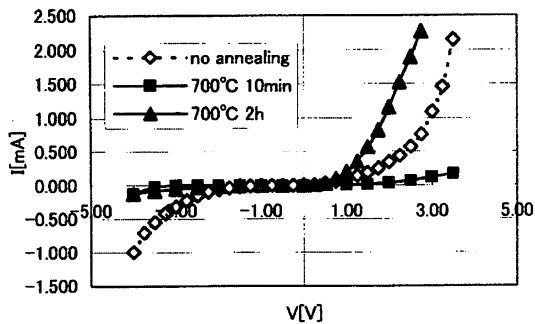
metal/ semiconductor	annealing	diode ideal factor n	Schottky barrier height ϕ_B [eV]
Ti/GaAs	no annealing	28.39	0.39
$S^* \approx 0.1$	500°C 10min	4.08	0.50
	500°C 2h	10.81	0.43
	700°C 2h	78.36	0.30



(a) 加熱前及び200°C 2h



(b) 加熱前及び500°C 10min, 2h



(c) 加熱前及び700°C 10min, 2h

図10 Ti/GaAs 接触のI-V特性

図10(a)より、加熱を行わない場合には順方向電流の増加は急激ではなく、逆方向電流も電圧が低い状態から増加が確認できる。つまり、加熱を行わない場合の特性は劣化した整流性であると考えられる。整流性の劣化が起こった原因は、トンネル電流の影響にあると考えられる。今回用いたGaAsウェハのキャリア密度は 10^{18} [cm⁻³]のオーダーと比較的高い。キャリア密度が高い場合は障壁をトンネルする電流が増加する。従って、このトンネル電流によって整流性が劣化しているものと考えられる。

しかし、加熱を行った場合には特性に変化が見られる。第一に、500°Cの加熱を行った場合だが、図10(b)を見ると500°C 10分の加熱、2時間の加熱ともに順方向電流の増加が急峻になっている。特に2時間の加熱では、逆方向電流も加熱を行わない場合より少ない。よって、500°Cの場合では10分、2時間の加熱ともに整流特性が改善されていると考えられる。また、表2より500°C 10分、2時間の加熱を行った場合には、加熱前よりn値が低下し、障壁高さ ϕ_B は増加していることが分かる。この結果からも、加熱によって整流特性が改善されたのではないかと考えることができる。第二に700°C 2時間の加熱を行った場合であるが、図10(c)を見ると、順方向電流について増加の割合が一定へと近づいている。これは、低温界面反応によって合金化が進み、特性がオーム性に近づいているものと考えられる。更にこのまま加熱を続ければ、完全なオーム性を得ることができるのではないかと予想される。最後に200°C 2時間の加熱と700°C 10分の加熱であるが、これらでは大きな順方向電流を得ることができなかった。これは、酸化の影響によるものと考えられる。

4.2.2 Ni/GaAs 接触試料のI-V特性

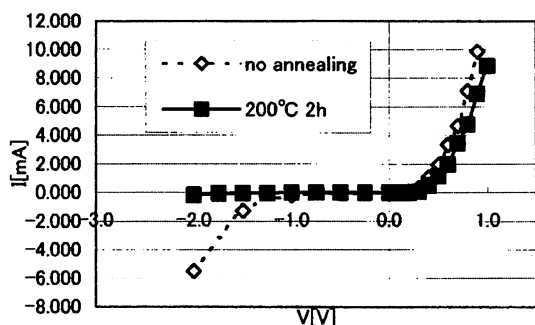
図11に測定されたNi/GaAsのI-V特性を示す。また、表3に、I-V特性より障壁高さ ϕ_B 及びダイオード理想係数nを求めた結果を示す。

加熱を行わない場合にはTi/GaAs同様に劣化した整流性となっていることが分かる。また、このNi/GaAsについても加熱による特性の変化が認められる。しかし、その変化はTi/GaAsの場合と若干異なっている。最初に、200°C 2時間の加熱を行った場合についてだが、図11(a)を見ると、順方向電流の増加の割合は加熱前と大差が無い。しかし、逆方向電流についてはその値が大幅に減ってほぼ0に近い。よって、200°C 2時間の加熱の場合では整流特性が改善されているといえる。

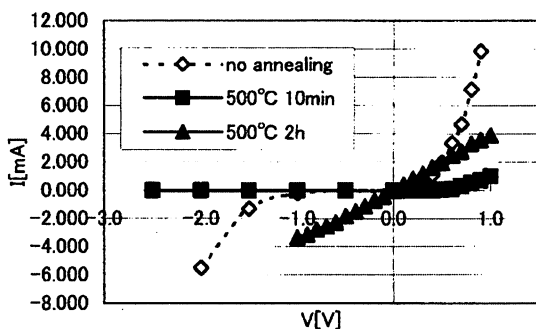
次に、500°Cの加熱の場合について説明する。第

表3 Ni/GaAs接触のI-V特性によるn値と ϕ_b の計算結果

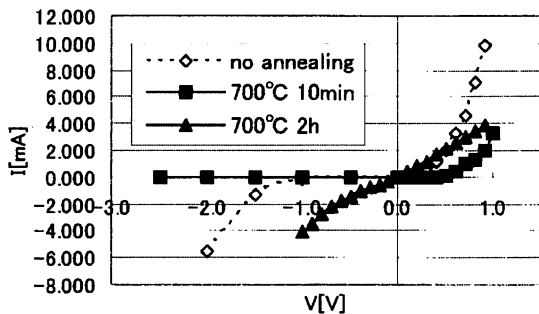
metal/ semiconductor	annealing	diode ideal factor n	Schottky barrier height ϕ_b [eV]
Ni/GaAs	no annealing	26.42	0.34
$S^* \approx 0.1$	200°C 2h	5.17	0.46
	500°C 10min	5.10	0.49
	700°C 10min	3.73	0.51



(a) 加熱前及び200°C 2h

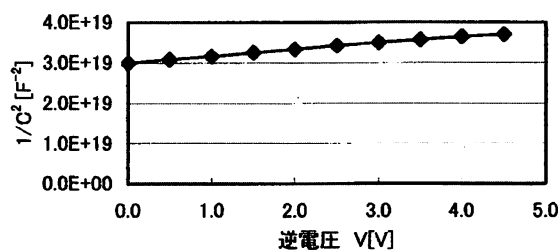


(b) 加熱前及び500°C 10min, 2h

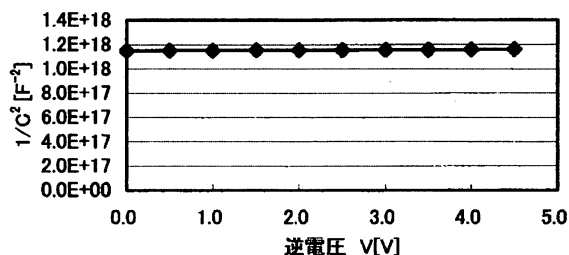


(c) 加熱前及び700°C 10min, 2h

図11 Ni/GaAs 接触のI-V特性



(a) Ti/GaAs 接触, 500°C 2h, f=75 [kHz]



(b) Ni/GaAs 接触, 200°C 2h, f=2 [MHz]

図12 Ti, Ni/GaAs 接触の1/C² 特性

一に500°C10分の加熱の場合だが、図11(b)のように、これは順方向、逆方向電流ともに小さくなった。これは酸化の影響ではないかと思われる。500°C 2時間の加熱の場合では特性は完全なオーム性となった。この場合は、低温界面反応が進んだことによって界面で完全に合金化したため、オーム性になったものと推測できる。700°Cの加熱の場合についても、図11(c)のとおり700°C10分では順方向、逆方向共に電流の値が小さくなり、700°C 2時間ではオーム性となるという結果となっている。つまり、Ni/GaAsの700°C加熱においては500°Cと同様の傾向が見られる。

4.2.3 高融点金属/GaAs 接触試料の逆電圧-1/C² 特性

図12に、Ti/GaAs, Ni/GaAsそれぞれのC-V特性より求めた逆電圧-1/C²特性を示す。結果は、ほぼ全てがこの図に示すような傾きの小さな直線や曲線となった。これは金属/II-VI族化合物半導体接触の実験と同様である。このような特性となった原因は、トンネル電流にあるものと思われる。今回用いたGaAsウェハは、前述したようにキャリア密度が 10^{18} [cm⁻³]のオーダと比較的高い。キャリア密度が高いとトンネル電流が増加する。よって、C-V特性の測定においてトンネル電流が影響を与え、このような期待されていなかった特性になったものと思われる。

5. 結 言

RF マグネトロンスパッタ法を用いて作製した金属/II-VI族化合物半導体接触, 及び高融点金属/GaAs 接触の電気的測定による研究を行った結果, 以下のことがわかった。

1) 金属/II-VI族化合物半導体接触について

Cu/ZnSe, Al/ZnSe 接触及び Al/ZnO 接触の結果は, (3)式に従っているものと考えられる。よって, 金属/半導体接触における障壁の形成は, 半導体のイオン性の強弱に大きく影響を受けている可能性があることがわかった。劣化した整流性やオーム性接触が多かったことについては, 半導体のII族面とスパッタした金属とで合金化が起こったことが要因ではないかと考えられる。そこで, 今後はへき開面, VI族面についても同様の実験を行ない, 障壁の形成についてより詳細に検討していくことが課題であると考えられる。

2) 高融点金属/GaAs 接触について

加熱を行わなかった場合には, ウェハのキャリア密度が高く劣化した整流性が得られた。しかし, 加熱を行うことで整流性が改善されたり, オーム性接触の形成が確認できたりした。オーム性接触については低温界面反応により合金化が進んだのではないと思われる。

また, 今後は膜厚がより小さい場合について実験を行っていくことも, 重要な課題であると考えられる。

謝 辞

最後に, 文部科学省プロジェクト「秋田県地域結集型共同研究事業」(科学技術振興機構) および経

済産業省地域産学官連携プロジェクト形成促進事業「真空製膜研究会」を通じて, 秋田県高度技術研究所とあきた産業振興機構にご支援頂き, ここに深く感謝申し上げます。

参考文献

- 1) 村上正紀, 守山実希: 金属・半導体接合界面制御によるオーム性電極材料開発—n型GaAs化合物半導体を例として—, 真空, Vol.45, No.11, pp.783-786 (2002)
- 2) 村上正紀, 奥健夫, 小出康夫, 津久井克幸, 大槻微: 化合物半導体用コンタクト材料のメゾスコピック化, まてりあ, Vol.34, No.8, pp.987-991 (1995)
- 3) B.L.Sharma: Metal-Semiconductor Schottky Barrier Junction and Their Applications, Plenum Press New York and London, (1984), pp.1-11
- 4) 小間篤, 八木克道, 塚田捷, 青野正和編: 表面物性工学ハンドブック, 丸善, (1987), p.328-335
- 5) 佐々木亨, 浅野清光: 電気的特性による金属薄膜/GaAs 接触界面の研究, 素材物性学雑誌, Vol.16, No.1, pp.1-6 (2003)
- 6) 曾根純一: 表面・界面の物理, 丸善, (1996), pp.206-207
- 7) 岩沢康裕, 梅澤喜夫, 澤田嗣郎, 辻井薫監修: 界面ハンドブック, エヌ・ティー・エス, (2001), p.228
- 8) 國岡昭夫, 上村喜一: 新版基礎半導体工学, 朝倉書店, (1997), p.94