

電気的特性による Er, Sm 薄膜 / 4H-SiC (0001) 接触界面に関する研究

保坂直寿*・浅野清光

Interface Properties of Er, Sm Thin Films/4H-SiC (0001) Contacts by Electrical Measurements

Naotoshi HOSAKA* and Kiyomitsu ASANO

(平成27年11月30日受理)

Metal/SiC interfaces play very important roles in many high-performance devices in optoelectronic, high-temperature, high-frequency, and power applications. The formation of conventional Ohmic contacts is required to have lower resistance and stable interface at high temperature, but it is difficult to gain such contacts on the SiC surfaces. Therefore, Er/4H-SiC (0001) and Sm/4H-SiC (0001) interfaces annealed up to 600 [°C] have been studied by barrier-height and ideal-factor measurements using forward I-V characteristics. We calculated ideal barrier heights by extrapolation from these ideal factors and these barrier heights. These ideal barrier heights varied with annealing temperature, but the behavior for Er/4H-SiC (0001) interfaces was different from Sm/4H-SiC (0001) interfaces. These results show that the Er/4H-SiC (0001) interfaces are affected by the annealing compared with the Sm/4H-SiC (0001) interfaces.

1. 緒言

電気エネルギーの利用においては、発生から利用までの間に、輸送や交流・直流変換など、電圧や周波数の制御用に、また、使用端においても、多数の半導体パワーデバイスが使われている¹⁾。電気自動車、電車、変電所など、あらゆる電気・電子装置にパワーデバイスが搭載されている。しかしながら、電力変換の度に、主にパワーデバイスで発生するジュール熱のために、電力変換の約10~15%に相当する莫大なエネルギーが廃熱となっている。したがって、パワーデバイスの高性能化は、電力利用効率の向上に繋がる重要なエコ技術である²⁾。

現在のパワーデバイスは、Siで作製され、高性能化が図られてきたが、Siの物性に起因する性能限界に近づいている。今後の飛躍的な発展は望めず、SiCへ大きな期待がかけられている。SiCは、禁制帯幅が3[eV]以上で、Siの約3倍大きな値をもつ。絶縁破壊電界が約1桁大きいので、Siパワーデバイスに比べて長さが1/10に小さくでき、扱える電流密度も大きくなるので、全体に小型化できるといっ

た優越点を持っている³⁾。広い禁止帯幅と熱的安定性はこの材料が高温動作デバイスに適しているということを示唆し、高い絶縁破壊電界強度は電力用パワーデバイスとしての優位性を示している²⁾。

半導体の電極には、電気的特性からショットキー電極、オーミック電極のような種類がある。半導体電極の電気的特性は、金属/半導体接触界面に生ずるショットキー障壁の影響を受ける⁴⁾。デバイス動作の保障のため、半導体の電極技術である金属/半導体接触の問題は、極めて重要である。

n^+ 領域に対して、低いバリアハイトのコンタクトを形成するために低仕事関数の材料を用いる。17種類の希土類から、特に反応性の高いもの、今後の産業を考え希少であり非常に高価格なもの、製膜ターゲットの低酸素化が困難なもの、安定同位体がないもの、室温で強磁性を示すものを除いたEr, Ho, Sm, Ybが候補として考えられる⁵⁾。本研究はEr, Smを取り上げた。低接触抵抗率のオーミック電極開発を目的として、RFマグネトロンスパッタ法によりEr/4H-SiC (0001) 試料, Sm/4H-SiC (0001) 試料をそれぞれ作製し、I-V特性を測定することによって障壁高さ ϕ_B , 理想因子 n を算出し、考察を行った。

* 秋田高専専攻科学生

2. SiCの結晶構造⁶⁾

4H-SiCの最初の数字は積層方向(c軸方向)の一周期中に含まれるSi-C単位層の数を意味し, C, Hは結晶系の頭文字(C:立方晶(cubic), H:六方晶(hexagonal))を表わしている。図1に4H-SiCの積層構造を示す。4H-SiC[0001]方向の第一層はSi面, 4H-SiC[000 $\bar{1}$]方向の第一層はC面となっている。

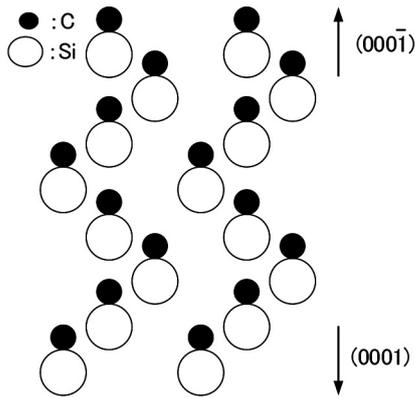


図1 4H-SiCの結晶構造⁶⁾

3. 金属/半導体接触

半導体の電極作製の際に必要な概念である金属/半導体接触について述べる。整流性を示すショットキー電極や電流-電圧特性が直線となるオーミック電極がある。整流現象を引き起こす要因であるショットキー障壁の形成機構にはショットキーモデルやバーディーンモデルといった解釈がある。

3.1 ショットキーモデル⁴⁾

金属と半導体を接合させると, その金属/半導体接触界面にポテンシャル障壁 ϕ_B が生じ, 整流現象が現れる。このポテンシャル障壁は, ショットキー障壁高さ(SBH: Schottky barrier height)と呼ばれている。Schottkyは障壁高さ ϕ_B を以下の関係で表わされると提案した。

$$\phi_B = \phi_M - \chi_S \quad (1)$$

ここで, ϕ_M は金属の仕事関数, χ_S は半導体の電子親和力であり, この(1)式はn型半導体の場合である。すなわち, 同一な半導体なら障壁高さは金属の仕事関数に依存することになる。

3.2 バーディーンモデル

Bardeenは, 障壁高さは金属の仕事関数に全く依存せず, 半導体の表面準位濃度のみによって決まるとされるモデルを提案した⁴⁾。共有結合性の強い半導体の表面はダングリングボンド(未結合手)を持つために表面準位が存在する。これにより, 自由表面においてもキャリアが表面準位にトラップされ, ショットキー障壁が発現すると考え, バーディーンモデルと呼ぶ。このように金属の仕事関数に依存せず障壁高さが一定になる現象はピニング現象のためである。金属/半導体界面のフェルミ準位が, 禁制帯中の特定の位置に固定されるためとの考えを, フェルミ準位のピニングと呼ぶ⁴⁾。SiCは12%のイオン性を有する共有結合性半導体⁶⁾であるので, ショットキーモデルとバーディーンモデルの中間の働きを示す可能性が考えられる。

3.3 低温界面反応⁷⁾

デバイスが目的通り動作するためには, 全てのコンタクトが安定な電気的特性を発揮しなければならない。コンタクトの問題が重要視される理由はここにある。

しかし, 金属/半導体接触界面では, 金属, 半導体の融点より遙かに低い室温程度で, 互いの構成原子の相互移動を伴い界面形成物を生じて電気的特性を変化させる。

SiがPd, Pt, Niなどのシリサイドを作る金属と接触するとSiと合金相の界面は均一となり安定なシリサイドになる。200~400[°C]の温度範囲で生成されたシリサイドは, 金属の性質を持ち, 電気的コンタクトとして機能する。熱処理の温度や時間, 最初の金属層の厚さなどを適当に選んでやると, 望む種類, 厚さの均一なシリサイド層を得ることができる。

3.4 PDA処理⁸⁾

Post Deposition Annealing(PDA)法は, 図2に示すようにコンタクト領域上に蒸着法やスパッタリング法等を用いて金属層を蒸着し, 熱処理を加えることで, 金属元素と基板半導体との化学的反応を促し, 界面反応層を形成する技術である。PDA法により形成したコンタクトにおいては, ①低いSchottky障壁層, および②不純物の偏析効果を利用して半導体側に高キャリア濃度層が形成可能, ③熱的に安定なコンタクト形成可能, ④化学反応によって自然酸化膜等の高抵抗な界面誘電体層を除去できる等の長所がある。

その一方で、SiCデバイスにPDA法を適用する場合、①化学的に安定なSiCとの反応促進に高温の熱処理が必要、②金属に対するSi及びCの化学反応との差異によって、高抵抗の要因となるCが析出する場合がある、③低抵抗コンタクト形成には材料の選定が重要、④界面反応層の膜厚制御が困難、等の点に注意を払う必要がある。

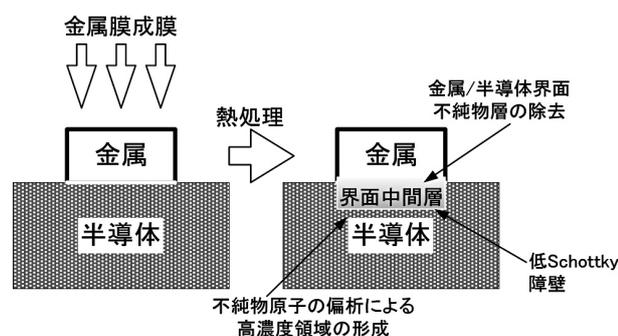


図2 PDA法によるオーミックコンタクト作製工程⁸⁾

4. オーミック電極形成

どんな半導体素子でも電極を付けて外部回路と接続するとき、電極部分が整流性を持つことは好ましくないため、抵抗が一定なオーミック接触が半導体素子の中で果たす役割は極めて大きい⁹⁾。

4H-SiCの電子親和力は約3.6[eV]、禁制帯幅は3.26[eV]であるので、高濃度ドーピングを行わなければ、高温処理を加えない限り、ショットキー接触となる。つまり、Siに比べてSiCではオーミック接触を得るのが困難である。デバイス作製に十分な低い接触抵抗率のオーミック接触を得るためには、高濃度ドーピング後に900~1000[°C]の高温熱処理が施される。しかし、熱処理による界面でのシリサイド形成や、界面ラフネスの増大とオーミック接触となる微視的なメカニズムは必ずしも明らかになっていない¹⁰⁾。

半導体デバイスへの低接触抵抗率オーミックコンタクトを形成する手法として広く用いられているのがPDA法である⁸⁾。この効果により、PDA処理を加えることで、金属/半導体界面の障壁高さを変化させる事ができる。

5. 実験方法

本研究では、厚さ約340[μm]、抵抗率0.1[Ω・cm]以下の2inchφの窒素ドープn型4H-SiCウエ

ハ基板と純度99.9%のEr及びSmターゲットを用いた。まず、半導体洗浄液セミコクリーン23による超音波洗浄を使用した全ての4H-SiCウエハ基板に対して行った。次に、4H-SiCウエハ基板の(0001)Si面にRFマグネトロンスパッタ法により膜厚30[nm]程度のErナノ薄膜を形成し、Er/4H-SiC(0001)試料を作製した。同様の方法でSm/4H-SiC(0001)試料も作製した。RFマグネトロンスパッタ法はロータリーポンプ、クライオポンプにより、チャンバー内を 1.33×10^{-6} [Pa]以下の超高真空まで排気し、高純度Arガスを導入した。その後、RFパワー50[W]で、15分間でスパッタした。スパッタ条件を表1に示す。

表1 本実験におけるスパッタ条件

RFパワー[W]	50
Ar圧力[Pa]	0.665
ターゲット距離[cm]	4
Ar流量[mℓ/min]	15.5
スパッタ時間[min]	15

次に、作製した試料を幾つかに分割し、1.4~1.75[cm²]の大きさの試料に、界面反応層形成のため、PID制御電気炉でPDA処理(試料への加熱処理)を行った。PID制御によって60[min]で目標温度まで温度を上げ、その後さらに同温度で60[min]加熱を行い、室温程度まで炉冷した。加熱温度はそれぞれ75, 150, 300, 500, 600[°C]に設定した。

金属/4H-SiC(0001)接触の電気的特性を得るために、反対側の面である4H-SiC(000 $\bar{1}$)C面に全ての実験で共通の電極を用意する必要がある。本研究では、共通電極としてInGaを4H-SiC(000 $\bar{1}$)C面に塗布し、I-V特性を測定した。本実験の測定手順を以下に示す。

①SiC(000 $\bar{1}$)C面に電極としてInGaを塗布し、SiC(000 $\bar{1}$)C面とSiC(0001)Er面に対してCu電極を接触させ、I-V特性を測定した。

②SiC試料にPDA処理を行い、①と同様にしてI-V特性を測定した。

Sm/4H-SiC(0001)試料にも同様の①~②の手順でI-V特性を測定した。この結果から理想因子n、障壁高さ ϕ_B の算出を行った。

次に、理想因子n、障壁高さ ϕ_B の算出方法⁹⁾を述べる。一般的にショットキー障壁界面を通過する電流が、障壁の上だけを通過するといった熱電子放出

理論で説明できる場合は、ショットキー接触の順方向電流密度 J は、

$$J = J_0 (e^{\frac{qV}{kT}} - 1) \quad (3)$$

と表せる。ここで、 V は電圧、 q は電荷、 T は絶対温度、 k はボルツマン定数、 J_0 は逆方向電流密度である。 $V \gg kT/q$ ならば、指数項が 1 よりもはるかに大きくなるため、以下のように近似できる。

$$J = J_0 e^{\frac{qV}{kT}} \quad (4)$$

また、障壁の上だけではなく、障壁内部を量子力学的なトンネル効果などにより電流が通過する場合には電圧が低くても電流が流れることになる。そこで理想因子 n を用いて、

$$J = J_0 e^{\frac{qV}{nkT}} \quad (5)$$

と書き直す。 $n=1$ であれば障壁内部を通過する電流がなく、熱電子放出電流のみの理論どおりの電流が流れていることを表している。 n の値が大きければ、なんらかの電流が流れていることになる。また、 J_0 は次式で表せられる。

$$J_0 = A^* T^2 e^{-\frac{\phi_B}{kT}} \quad (6)$$

A^* はリチャードソン定数、 ϕ_B はショットキー障壁高さである。ここで、 A^* は次式で表される。

$$A^* = \frac{4\pi q m_e^* k^2}{h^3} \quad (7)$$

m_e^* は電子の有効質量、 h はプランク定数である。本研究では SiC の m_e^* を $0.3m_0$ (m_0 は電子の静止質量) とし¹¹⁾、 A^* を 3.60×10^5 [A/m²K²] とする。両辺の常用対数をとると、

$$\log_{10} J = \frac{q \log_{10} e}{nkT} V + \log_{10} J_0 \quad (8)$$

と表せる。よって、(8) 式の傾きをグラフ上から求めると、

$$\frac{q \log_{10} e}{nkT} = \frac{\Delta \log_{10} J}{\Delta V} \quad (9)$$

と表せられる。以上の (9) 式から n について解くと、

$$n = \frac{q}{kT} \frac{\Delta \ln J}{\Delta V} \quad (10)$$

となる。また、ショットキー障壁高さ ϕ_B は、(6) 式より、

$$\phi_B = kT \ln \frac{A^* T^2}{J_0} \quad (11)$$

と求められる。

6. 実験結果と考察

6.1 Er/4H-SiC(0001) 試料

図 3 に順バイアスの定義を示す。順バイアスの向きは、Er/n 型 4H-SiC(0001) Si 面を高電位として定義し、Er/n 型 4H-SiC(000 $\bar{1}$) C 面を低電位とした。図 4 に逆バイアスの定義を示す。以後の実験もこれに準拠する。

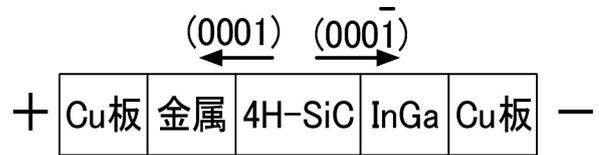


図 3 順バイアス

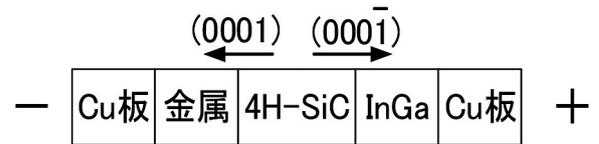


図 4 逆バイアス

Er/4H-SiC(0001) 試料の各加熱温度での J-V 特性を図 5 に示す。図 5 より全ての試料で、J-V 特性は整流性を示すことが分かる。順方向電流は、非加熱に比べて 75 [°C]、150 [°C]、500 [°C]、600 [°C] 加熱の場合は電流が流れやすくなり、300 [°C] 加熱では流れにくくなった。逆方向電流は、ほとんど流れない結果となった。

順バイアスでは、Er/4H-SiC(000 $\bar{1}$) C 面に InGa を塗布しているので、金属/半導体間の接触面積が増加し、電子が本来超える事のできないポテンシャルの障壁を粒子の回折によりすり抜けてトンネル現象が多く生じるようになったため、順方向電流は流れたと考えられる。また、逆バイアスでは、Cu 板と 4H-SiC(0001) Er 面において金属半導体接触が点接触であるので高抵抗となる可能性があり、逆方向電流は流れないと考えられる。

図 5 の J-V 特性より算出した Er/4H-SiC(0001) 試料の n - ϕ_B 相関図を図 6 に示す。 $n=1$ で外挿した各加熱温度における理想障壁高さを表 2 に示す。表 2

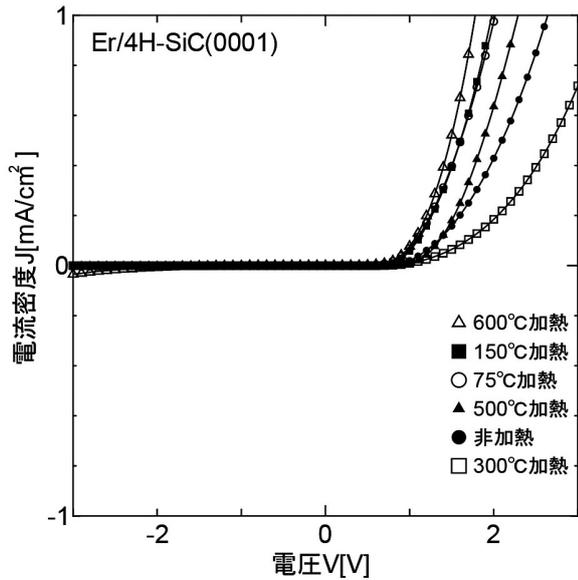


図5 Er/4H-SiC(0001)のPDA処理によるJ-V特性

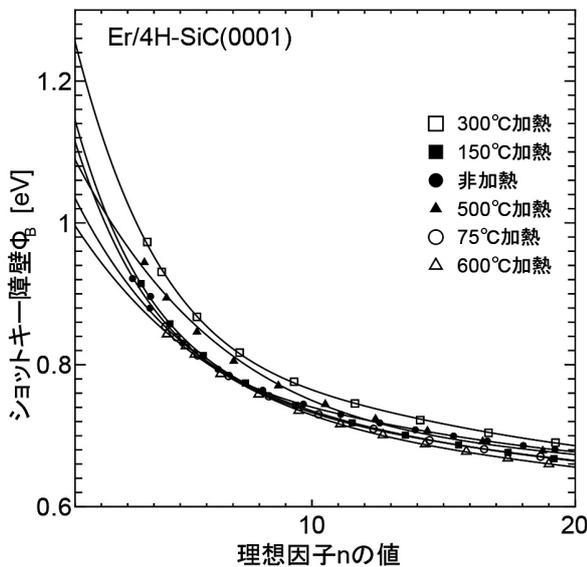


図6 Er/4H-SiC(0001)のPDA処理によるn-φ_B

表2 各処理温度におけるEr/4H-SiC(0001)試料の理想障壁高さ

加熱温度[°C]	理想障壁高さφ _B [eV]
非加熱	1.114
75	1.038
150	1.145
300	1.255
500	1.089
600	0.996

から、加熱処理を加えることによって理想障壁高さは変化していることが見て分かる。また、図6よりn-φ_Bの関数に変化していることが分かる。

理想障壁高さは非加熱に比べて75[°C]で減少、

150[°C]で増加、300[°C]で増加、500[°C]で減少、600[°C]で減少している。n-φ_B相関図では、300[°C]から500[°C]で大きく関数に変化している、この温度域でシリサイド形成があったものと考えられる。形成されたシリサイドはErSi₂と予想できる¹²⁾。本研究で扱う4H-SiCではなく、従来の半導体であるp型Si基板を使用したEr/Siの場合では300[°C]付近からEr:Si=1:2の層が形成されるという報告がある¹²⁾。また、Erシリサイドは350~600[°C]までは加熱するごとにショットキー障壁高さは減少する⁵⁾。今回の実験では300[°C]よりも高く500[°C]加熱までの間でのシリサイド形成により障壁高さを減少させることができたと考えられる。また図6より、500[°C]加熱と600[°C]加熱の関数は非加熱に比べて、ほとんど同様になっているので、600[°C]加熱でもシリサイド形成の影響を受けたと考えられる。

75[°C]で障壁高さが減少した理由は、シリサイド形成の可能性もあるが、スパッタ直後のEr/n型4H-SiC界面は不均一な界面になっているが、75[°C]の加熱により、より均一なEr/n型4H-SiC界面になり障壁高さが低下した可能性が考えられる。150[°C]、300[°C]加熱では障壁高さが増加した原因は、シリサイド形成の影響よりもEr/n型4H-SiC(0001)Si面の酸化が大きいため、実際よりも障壁高さが高く見えることが原因であると考えられる。これは空気雰囲気中でのPDA処理が原因と考えられる¹³⁾。

6.2 Sm/4H-SiC(0001)試料

Sm/4H-SiC(0001)試料の各加熱温度でのJ-V特性を図7に示す。図7より、全ての試料で、J-V特性は整流性を示すことが分かる。順方向電流は、非加熱に比べて加熱処理を行った試料の場合に電流が流れやすくなる結果となった。

順バイアスでは、Sm/4H-SiC(0001)C面にInGaを塗布している、Er/4H-SiC(0001)試料と同様にトンネル現象が多く生じるようになったため、順方向電流は流れたと考えられる。逆バイアスでもEr/4H-SiC(0001)試料と同様に高抵抗となり、逆方向電流は流れないと考えられる。

図7のJ-V特性より算出したSm/4H-SiC(0001)試料のn-φ_B相関図を図8に示す。n=1で外挿した各加熱温度における理想障壁高さを表3に示す。表3から、加熱処理を加えることによって理想障壁高さは減少傾向にあることが分かる。

図8のn-φ_B相関図では、300[°C]から500[°C]で大きく関数に変化している、この温度域でシリ

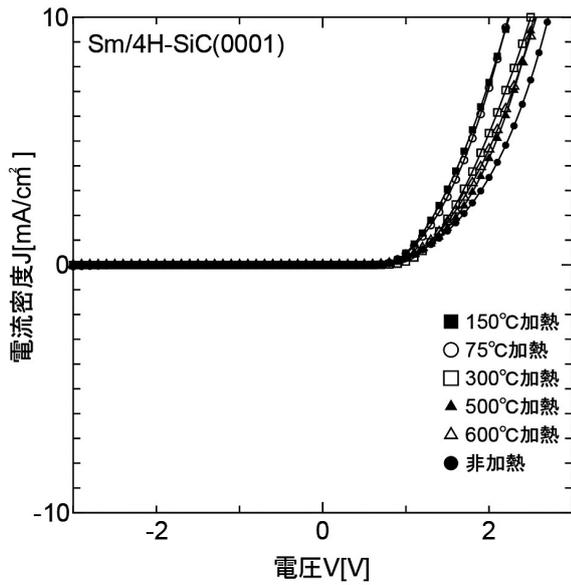


図7 Sm/4H-SiC(0001)のPDA処理によるJ-V特性

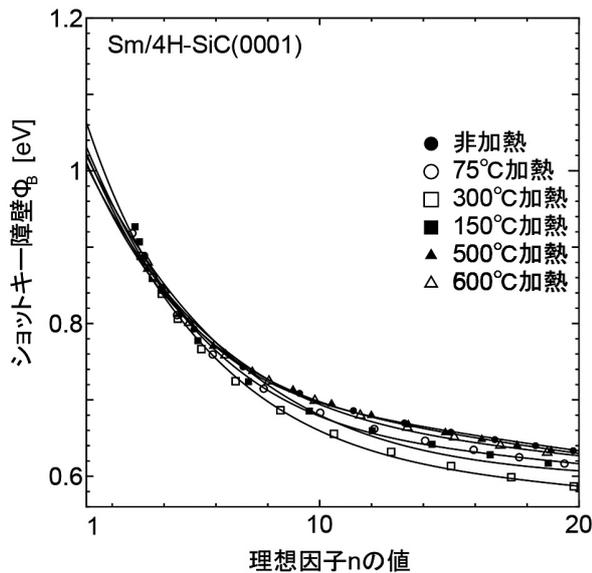


図8 Sm/4H-SiC(0001)のPDA処理によるn- ϕ_B

表3 各処理温度におけるSm/4H-SiC(0001)試料の理想障壁高さ

加熱温度[°C]	理想障壁高さ ϕ_B [eV]
非加熱	1.063
75	1.031
150	1.020
300	1.023
500	1.011
600	1.008

サイド形成があったものと考えられる。今回の実験では300[°C]よりも高く500[°C]加熱までの間でのシリサイド形成により障壁高さを減少させることが



図9 Sm/界面酸化膜/4H-SiC(0001)

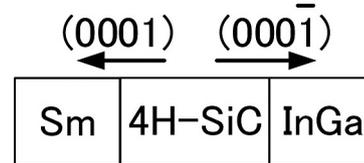


図10 Sm/4H-SiC(0001)

できた可能性が考えられる。また、Smの仕事関数は2.95[eV]である。4H-SiCの電子親和力は3.6[eV]なので、ショットキーモデルに従うとすれば、理論値の障壁高さは-0.65[eV]となる。よってPDA処理を行うことにより、図9に示したような界面に酸化膜が存在する、Sm/酸化膜/4H-SiC(0001)から図10に示すような理想界面であるSm/4H-SiC(0001)に近づいたため、障壁高さは減少し、ショットキーモデルによる理論値に近づいたと考えられる。

6.3 各加熱温度による理想障壁高さ比較

表2及び表3に示した各処理温度におけるEr/4H-SiC(0001)試料, Sm/4H-SiC(0001)試料の理想障壁高さ ϕ_B 比較を図11に示す。図11より、Er/4H-SiC(0001)試料はSm/4H-SiC(0001)試料と比較して温度の影響を受けることが分かる。SiCパワーデバイスでは高温動作が念頭にあるので、高温状態での長期的に安定な動作が求められる。よって、加熱温度によって特性を大きく変化させないSm/4H-SiC(0001)試料は、Er/4H-SiC(0001)試料と比較してパワーデバイスに向いていると考えられる。

理想障壁高さをショットキーモデルの式から求めた理論値と本研究で得た室温における実験値を表4に示す。表4より、理想障壁高さ ϕ_B はショットキーモデルによる理論値では、Er/4H-SiC(0001)試料, Sm/4H-SiC(0001)試料の障壁高さの差が0.25[eV]となるが、実験値は0.051[eV]と差が小さく、殆ど変化していない。金属/半導体界面のフェルミ準位がピンニングされている可能性が考えられる。よって金属の仕事関数の影響を受けにくくなったと考えられる。半導体表面の欠陥や汚れ、異種原子との結合なども表面準位の発生原因となる¹⁴⁾。よって半導体

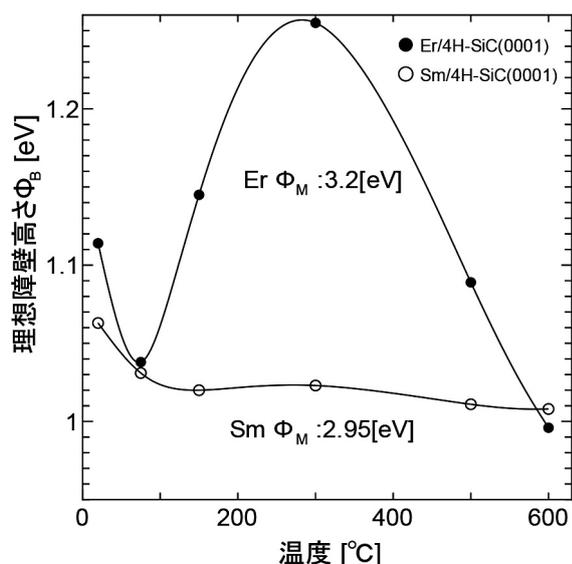


図11 加熱温度における Er, Sm/4H-SiC(0001)の理想障壁高さ φ_B[eV]比較

表 4 Sm, Er/4H-SiC(0001)接触界面に対する室温における理想障壁高さの理論値と実験値

電極	理論値[eV]	実験値[eV]
Er(3.2[eV])	-0.4	1.114
Sm(2.95[eV])	-0.65	1.063

表面の洗浄は電気的特性を左右する重要な問題である。浄後とスパッタ前のSiC表面状態も今後、検討する必要がある。

7. 結論

7.1 まとめ

本研究では、低接触抵抗率のオーミック電極の開発を目的として、RFマグネトロンスパッタ法を用いてEr/4H-SiC(0001)試料及びSm/4H-SiC(0001)試料をそれぞれ作製し、I-V法から、理想因子nとショットキー障壁高さφ_Bを算出し、金属/半導体接触界面、ショットキー障壁形成について考察した。

Er/4H-SiC(0001)試料のショットキー障壁高さは、非加熱と比べて75[°C]で減少、150[°C]で増加、300[°C]で増加、500[°C]で減少、600[°C]で減少する結果となった。非加熱から150[°C]、300[°C]での障壁高さの増加は表面酸化によると考えられる。500[°C]、600[°C]での障壁高さの低下は、シリサイド形成によるものと考えられる。

Sm/4H-SiC(0001)試料のショットキー障壁高さは、加熱処理を加えることによって減少傾向を示す結果となった。500[°C]、600[°C]ではシリサイド

形成による影響を受け、障壁高さが減少した可能性がある。また、PDA処理により理想界面に近づいたため、障壁高さは減少したと考えられる。

7.2 今後の課題

本研究で注目したEr, Smでは、ショットキーモデルの式に従わない結果となった。今後は低仕事関数を持つHo(3.1[eV])やYb(2.6[eV])、その他の希土類金属薄膜/SiC接触界面のショットキー障壁高さがどのような系統的な変化を示すか考察し、4H-SiCに関するショットキー障壁の形成がバーディーンモデルに従う、もしくは中間の働きを示す可能性についての検討していく予定である。

また一般に、オーミック電極の接触抵抗率は障壁高さ依存性があり、界面の障壁高さ減少と共に抵抗率は低下する¹⁵⁾と報告されているので、障壁高さをより減少させることも重要である。

参考文献

- 1) 松波弘之, 第3の半導体SiC:基礎研究からオールジャパン体制で事業化—起業工学の実践事例—, 映像情報メディア学会技術報告, Vol.37, No.52, pp.23-27, (2013).
- 2) 木本恒暢, 高効率電力変換用SiCパワーデバイス, 応用物理Vol.80, No.8, pp.673-678, (2011).
- 3) 日本学術振興会ワイドギャップ半導体光・電子デバイス第162委員会編, 赤崎勇, 松波弘之編著, ワイドギャップ半導体—あけぼのから最前線へ—, 吉川明彦監修, 培風館, (2013), p.65.
- 4) 小出康夫, 村上正紀, 金属/半導体および半導体/半導体接合界面におけるエネルギー障壁, まてりあ, Vol.35, No.5, pp.501-505, (1996).
- 5) 田中宏明, 磯貝達典, 黒田理人, 中尾幸久, 諏訪智之, 後藤哲也, 寺本章伸, 須川成利, 大見忠弘, 高性能トランジスタのための低バリアハイト低抵抗コンタクト形成技術, 第20回マイクロエレクトロニクス研究会プロシーディング, pp.32-39, (2008).
- 6) 松波弘之, 半導体SiC技術と応用, 日刊工業新聞社, (2003), pp.9-10.
- 7) 平木昭夫, 成沢 忠, 表面・界面の分析と評価, オーム社, (1994), pp.1-6.
- 8) 荒井和雄, 吉田貞史, SiC素子の基礎と応用, オーム社, (2003), p.121.
- 9) 國岡昭夫, 上村喜一, 新版基礎半導体工学, 朝倉書店, (1996), p.114, pp.126-128.

- 10) 木本恒暢, SiCプロセス技術, 応用物理 Vol.74, No.3, pp.371-375, (2005).
- 11) 長谷川文夫・吉川明彦, ワイドギャップ半導体光・電子デバイス, 高橋清監修, 森北出版, (2006), p.24.
- 12) 大山泰弘, 権丈淳, 佐道泰造, 池田圭司, 宮尾正信, ショットキー S/D-MOSFET用シリサイド電極の形成と評価, 応用物理学会学術講演会講演予稿集, Vol.64, No.2, p.752, (2003).
- 13) 保坂直寿, 浅野清光, Er/n型 4H-SiC(0001)接触界面のショットキー障壁, 日本素材物性学会平成26年度(第24回)年会講演要旨集, pp.21-22, (2014).
- 14) 斉藤 博, 今井和明, 大石正和, 澤田孝幸, 鈴木和彦, 入門固体物性-基礎からデバイスまで-, 共立出版, p.136, (1997).
- 15) 財満鎮明, 安田幸夫, 高融点金属/Si界面の電気的特性と結晶学的構造, まてりあ, Vol.33, No.6, pp.691-696, (1994).